

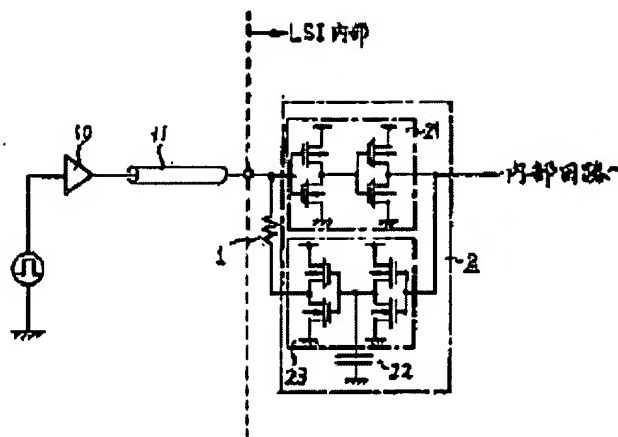
TERMINATION CIRCUIT AND WAVEFORM SHAPING CIRCUIT

Patent number: JP6061836
Publication date: 1994-03-04
Inventor: ASADA YOSHIKI
Applicant: FUJITSU LTD
Classification:
- **international:** H03K19/0175; H03K5/00; H04L29/10; H04L25/02
- **european:**
Application number: JP19920209180 19920805
Priority number(s): JP19920209180 19920805

Report a data error here

Abstract of JP6061836

PURPOSE: To keep the uniformity of a leading characteristic and a trailing characteristic of a signal without increase in number of components by forming the termination circuit with a matching termination resistor and a noninverting buffer circuit. **CONSTITUTION:** A termination circuit consists of a matching termination resistor 1 and a noninverting buffer circuit 2. Since the circuit 2 has a longer delay time than a signal change time, the termination circuit is equivalent to the resistor 1 of the termination circuit connected between the termination and ground at the rising of a signal. Furthermore, the termination circuit is equivalent to the resistor 1 of the termination circuit connected between the termination and a power supply at the falling of the signal. Thus, the one matching termination resistor 1 is equivalent to two resistors of the termination circuit to suppress the reflection of the signal at the termination. Furthermore, the uniformity of a leading characteristic and a trailing characteristic of a signal is maintained.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-61836

(43)公開日 平成5年 (1994) 3月4日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0175		8941-5 J	H 0 3 K 19/00 1 0 1	Q
5/00	E	8820-5 K	H 0 4 L 13/00 3 0 9	A
H 0 4 L 29/10				
25/02	Z	8226-5 K		

審査請求 未請求 請求項の数4 (全 7 頁)

(21)出願番号 特願平4-209180

(22)出願日 平成4年 (1992) 8月5日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 浅田 善己

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 寒川 誠一

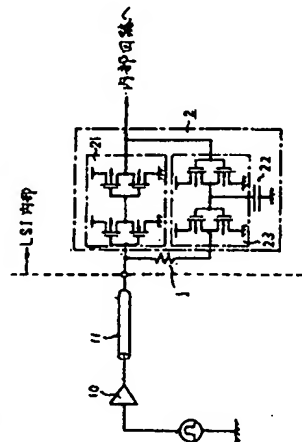
(54)【発明の名称】 終端回路及び波形整形回路

(57)【要約】 (修正有)

【目的】 本発明は、CMOS回路のような高速デジタル回路の信号を伝送する伝送線路の終端に設けられ、部品点数を増やさずに信号の立ち上がり立ち下がりの特性の均一性を保持することができ、しかも、消費電力を低減することができる終端回路と上記の信号伝送線路の途中に設けられ、伝送線路の途中で乱れた波形を整形して波形の乱れに起因する回路の誤動作を防止することができる波形整形回路とを提供することを目的とする。

【構成】 本発明に係る終端回路は、伝送線路の終端に1端が接続される整合終端抵抗1と、上記の1端に入力端子が接続され、出力端子は上記の整合終端抵抗の他端に接続される非反転型バッファ回路2または反転型バッファ回路よりなる。また、波形整形回路の構成は上記の終端回路の構成と同一である。

本発明の図1実施例に係る終端回路の構成図



【特許請求の範囲】

【請求項1】 高速デジタル信号伝送線路の終端に1端が接続される整合終端抵抗(1)と、前記終端に入力端子が接続され、出力端子は前記整合終端抵抗(1)の他端に接続される非反転型バッファ回路(2)とよりなり、

該非反転型バッファ回路(2)は、前記デジタル信号の変化時間より長い遅延時間を有することを特徴とする終端回路。

【請求項2】 高速デジタル信号伝送線路の終端に1端が接続される整合終端抵抗(3)と、前記終端に入力端子が接続され、出力端子は前記整合終端抵抗(3)の他端に接続される反転型バッファ回路(4)とよりなることを特徴とする終端回路。

【請求項3】 高速デジタル信号伝送線路の途中に1端が接続される整合抵抗(5)と、該整合抵抗(5)の前記1端が接続される点に入力端子が接続され、出力端子は前記整合抵抗(5)の他端に接続される非反転型バッファ回路(6)とよりなり、

該非反転型バッファ回路(6)は、前記デジタル信号の変化時間より長い遅延時間を有することを特徴とする波形整形回路。

【請求項4】 高速デジタル信号伝送線路の途中に1端が接続される整合抵抗(7)と、該整合抵抗(7)の前記1端が接続される点に入力端子が接続され、出力端子は前記整合抵抗(7)の他端に接続される反転型バッファ回路(8)とよりなることを特徴とする波形整形回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は終端回路及び波形整形回路に関する。特に、CMOS回路等の高速デジタル回路の信号を伝送する伝送線路の終端に設けられ、部品点数を増やさずに信号の立ち上がり立ち下りの特性の均一性を保持することができ、しかも、消費電力を低減することができる終端回路及び上記の信号伝送線路の途中に設けられ、伝送線路の途中で乱れた波形を整形して波形の乱れに起因する回路の誤動作を防止することができる波形整形回路に関する。

【0002】

【従来の技術】 近年、デジタルシステムの高速化に伴って、LSI内部、MCM(マルチチップモジュール)あるいはプリント基板における信号配線ラインを伝搬する信号の周波数が高くなってきている。信号伝送系の動作周波数が高くなるにしたがって、上記の信号配線ラインは分布定数線路として扱わなければならない。このような場合、信号伝送線路に不用意に信号を伝搬させると、信号の反射などを原因とするオーバーシュートやアンダーシュートが発生し、回路の誤動作のみならず、CMOS回路においては、ラッチアップ現象が起き電源

をオフしない限り電流が流れ続けて回路を破壊する場合がある。

【0003】 このため、従来技術においては、信号伝送線路の終端に終端回路を接続し、過度なオーバーシュートやアンダーシュートの発生を回避することが一般である。

【0004】 以下、従来技術に係る終端回路について説明する。

【0005】 図8は従来技術に係る終端回路の第1例の構成図であり、図9は従来技術に係る終端回路の第2例の構成図である。

【0006】 図8参照

図において、10は出力バッファ回路であり、11はこの出力バッファ回路から出力される高速デジタル信号が伝搬される信号伝送線路であり、12はこの信号伝送線路11の終端と、電源 V_{cc} 及びグランドGNDのいずれか一方との間に接続される抵抗であり、この抵抗が終端回路をなしている。

【0007】 この抵抗の値は、上記の信号伝送線路11の特性インピーダンスとおおむね同等に選定され、この抵抗によって終端における信号の反射を抑制し、過度なオーバーシュートやアンダーシュートを回避することができる。

【0008】 つぎに、第2例について説明する。

【0009】 図9参照

図において、13は信号伝送線路11の終端と電源 V_{cc} との間に接続される抵抗であり、14は上記の終端とグランドGNDとの間に接続される抵抗であり、これら抵抗13・14をもって終端回路を構成している。上記以外の符号の説明は第1例の場合と同一である。

【0010】 第2例の場合、抵抗13・14は交流的には信号伝送線路11の終端において並列接続されたのと同等であるので、信号伝送線路11の特性インピーダンスとおおむね同等の値となるように抵抗13と14の抵抗値を選定すれば、この終端回路によって終端における信号の反射を抑制し、過度のオーバーシュートやアンダーシュートを回避することができる。

【0011】 なお、上記の第1例及び第2例の終端回路に加えて、信号伝送線路に信号を送出するCMOS回路の出力インピーダンスを線路の特性インピーダンスと整合させる方法も提案されているが、この方法は回路が大規模で複雑であると云う問題点を有するので一般的には使用されない。

【0012】

【発明が解決しようとする課題】 ところで、従来技術に係る終端回路は、第1例の場合は信号伝送線路の終端に接続される抵抗が電源及びグランドのいずれか一方のみに接続されるので、この抵抗を介して流れる電流に起因して、信号の立ち上がり立ち下りなどで特性が不均一(例えば、電源と接続される場合は信号の立ち上がりは

速く、信号の立ち下がりには遅くなり、グラウンドと接続される場合は上記の遅延が逆)になると云う欠点を有し、また、第2例の場合はそれぞれの抵抗を介して電源またはグラウンドと伝送線路との間に流れる交流電流による消費電力と上記の抵抗の直列回路を介して電源・グラウンド間に流れる直流電流による消費電力とにより消費電力が増大すると云う欠点を有している。

【0013】また、従来技術においては、信号伝送線路の途中例えばプリント基板上の配線ラインの曲がりやスタブ等の分岐点において信号の反射等が原因して信号波形が乱れ回路が誤動作する場合があると云う欠点が存在する。

【0014】本発明の目的は、上記の欠点を解消することにより、CMOS回路等の高速デジタル回路の信号を送る伝送線路の終端に設けられ、部品点数を増やさずに信号の立ち上がりとしち下がりの特性の均一性を保持することができ、しかも、消費電力を低減することができる終端回路と、上記の信号伝送線路の途中に設けられ、伝送線路の途中で乱れた波形を整形して波形の乱れに起因する回路の誤動作を防止することができる波形整形回路とを提供することにある。

【0015】

【課題を解決するための手段】上記の目的は下記の第1の手段と第2の手段のいずれかと、第3の手段と第4の手段のいずれかによって達成される。

【0016】第1の手段は、高速デジタル信号伝送線路の終端に1端が接続される整合終端抵抗(1)と、前記の終端に1端が接続され、出力端子は前記の整合終端抵抗(1)の他端に接続される非反転型バッファ回路(2)とよりなり、この非反転型バッファ回路(2)は、前記のデジタル信号の変化時間より長い遅延時間を有する終端回路である。

【0017】第2の手段は、高速デジタル信号伝送線路の終端に1端が接続される整合終端抵抗(3)と、前記の終端に1端が接続され、出力端子は前記の整合終端抵抗(3)の他端に接続される反転型バッファ回路(4)とよりなる終端回路である。

【0018】第3の手段は、高速デジタル信号伝送線路の途中に1端が接続される整合抵抗(5)と、この整合抵抗(5)の前記の1端が接続される点に1端が接続され、出力端子は前記の整合抵抗(5)の他端に接続される非反転型バッファ回路(6)とよりなり、この非反転型バッファ回路(6)は、前記のデジタル信号の変化時間より長い遅延時間を有する波形整形回路である。

【0019】第4の手段は、高速デジタル信号伝送線路の途中に1端が接続される整合抵抗(7)と、この整合抵抗(7)の前記の1端が接続される点に1端が接続され、出力端子は前記の整合抵抗(7)の他端に接続される反転型バッファ回路(8)とよりなる波形整形

回路である。

【0020】

【作用】本発明に係る終端回路においては、終端回路を構成するアクティブ回路が非反転型バッファ回路の場合には、このバッファ回路が信号の変化時間より長い遅延時間を有することゝされているので、信号の立ち上り時には終端回路の整合終端抵抗が終端とグラウンドとの間に接続されたのと同等となり、また、信号の立ち下り時には上記の整合終端抵抗が終端と電源との間に接続されたのと同等となるので、1本の整合終端抵抗をもって従来技術に係る終端回路の2本の抵抗に対応することができ、終端における信号の反射を抑制することができるとともに、信号の立ち上がりとしち下がりの特性の均一性を保持することができる。また、上記の遅延時間が経過した後は、上記の整合終端抵抗の両端の電圧は同一になるので、整合終端抵抗に電流は流れず、したがって消費電力を著しく低減することができる。

【0021】また、反転型バッファ回路の場合には、終端回路の整合終端抵抗の両端には、伝送線路上の信号の状況(Low またはHigh)に関係なく、常に論理振幅に相当する電圧が印加されるので、1本の整合終端抵抗をもって従来技術に係る終端回路の2本の抵抗に対応することができ、終端における信号の反射を抑制することができるとともに、信号の立ち上がりとしち下がりの特性の均一性を保持することができる。この反転型バッファ回路の場合に、上記の整合終端抵抗の両端に印加される電圧によって上記の整合終端抵抗には常時電流が流れ、上記の非反転型バッファ回路の場合より消費電力は大きいので、従来技術の場合の2本の抵抗の直列回路に流れる直流電流による電力消費がないので、従来技術に比べ消費電力を著しく低減することができる。

【0022】また、本発明においては、信号伝送線路の途中、例えば、プリント基板上の配線ラインの曲がりやスタブ等の分岐点において、上記の非反転型バッファ回路または反転型バッファ回路を有する終端回路と同一構成の波形整形回路を接続することゝされているので、終端回路の場合と同様の作用によって信号反射を抑制することができ波形を整形することが可能となる。

【0023】

【実施例】以下、図面を参照して、本発明の4つの実施例に係る終端回路及び波形整形回路について説明する。

【0024】図1は第1実施例(請求項1に対応)に係る終端回路の構成図である。

【0025】図1参照

図において、1は1端が信号伝送線路11の終端に接続される整合終端抵抗であり、2は上記の終端に1端が接続され、出力端子が上記の整合終端抵抗1の他端に接続される非反転型バッファ回路である。上記の整合終端抵抗1とこの非反転型バッファ回路2とをもって終端回路を構成する。本実施例においては、上記の非反転型バ

ッファ回路2は、2段のインバータよりなる入力回路21と、所定の遅延時間を発生するためのキャパシタ22と、2段のインバータよりなる出力回路23とをもって構成される。10は信号伝送線路11を駆動する出力バッファ回路である。

【0026】つぎに本実施例の動作について図2を参照して説明する。

【0027】図2参照

図2の(a)は非反転型バッファ回路2の入力端の信号波形であり、(b)はこのバッファ回路2の出力端の信号波形であり、(c)は整合終端抵抗1の両端の電圧波形である。非反転バッファ回路2の出力端における信号はキャパシタ22によって入力端信号より時間 ΔT 遅延した信号となる。そこで、整合終端抵抗1の両端の電圧波形は上記の波形(a)から波形(b)を差し引いた波形(c)となる。すなわち、伝送線路11の終端における信号波形の変化時のみに整合終端抵抗1の両端にバッファ回路の遅延時間に対応した幅のパルス電圧が現れる。したがって、伝送線路11の終端における信号波形の変化時のみに終端処理が行われる。

【0028】ところで、伝送線路の終端における信号の反射は信号波形の変化時に発生するものであるから、本実施例に係る終端回路によって終端における信号の反射を抑制することができる。しかも、上記の遅延時間 ΔT が経過した後は、整合終端抵抗1には電流が流れないから、この整合終端抵抗1における電力消費を大幅に低減することができる。

【0029】図3は、第1実施例に係る終端回路の有無による伝送線路終端における信号電圧波形の比較図である。

【0030】図3参照

図において、①は出力バッファ回路10に輸入される信号波形であり、②は終端回路が無い場合の伝送線路終端における信号波形であり、③は終端回路が有る場合のそれである。終端回路が無い場合は、信号反射によってラッチアップが発生する可能性のある電圧3.9Vを信号電圧が超過するのでラッチアップの危険性があるが、本実施例に係る終端回路及び波形整形回路を接続することによってラッチアップが防止されることがわかる。

【0031】つぎに、本発明の第2実施例(請求項2に対応)について説明する。図4は第2実施例に係る終端回路の構成図である。

【0032】図4参照

図において、3は1端が信号伝送線路11の終端に接続される整合終端抵抗であり、4は上記の終端に端子が接続され、出力端子は上記の整合終端抵抗3の他端に接続される反転型バッファ回路である。上記の整合終端抵抗3とこの反転型バッファ回路4とをもって終端回路を構成する。10は信号伝送線路11を駆動する出力バッファ回路である。

【0033】つぎに、本実施例の動作について図5を参照して説明する。

【0034】図5参照

図5の(a)は反転型バッファ回路4の入力端の信号波形であり、(b)はこのバッファ回路4の出力端の信号波形であり、(c)は整合終端抵抗3の両端の電圧波形である。図5に示すように整合終端抵抗3の両端には常に論理振幅に相当した電圧が印加されることとなり、常時終端処理が行われる。このため、上記の整合終端抵抗3には常に電流が流れることとなり、第1実施例に比べると消費電力は大きい。図9に示す従来技術において V_{cc} 、GND間に流れる直流電流による消費電力がないので従来技術の場合より消費電力は小さい。

【0035】つぎに、第3実施例(請求項3に対応)について説明する。図6は第3実施例に係る波形整形回路の構成図である。

【0036】図において、5は1端が信号伝送線路11の途中、例えばスタブ5の分岐点に接続される整合抵抗であり、6はこの整合抵抗5の1端に端子が接続され、出力端子は上記の整合抵抗5の他端に接続される非反転型バッファ回路である。上記の整合抵抗5とこの非反転型バッファ回路6とをもって波形整形回路を構成する。この波形整形回路は第1実施例における終端回路と同一構成である。10は信号伝送線路11を駆動する出力バッファ回路である。

【0037】本実施例に係る波形整形回路の動作は、第1実施例における終端回路の動作と同一なので、冗長を避ける目的で説明を省略する。

【0038】本実施例に係る波形整形回路によって信号伝送線路途中で乱れた信号はその波形を整形され再生される。その結果、波形の乱れによる回路の誤動作を防止することができる。

【0039】つぎに、第4実施例(請求項4に対応)について説明する。図7は第4実施例に係る波形整形回路の構成図である。

【0040】図において、7は1端が信号伝送線路11の途中、例えばスタブ5の分岐点に接続される整合抵抗であり、8はこの整合抵抗5の1端に端子が接続され、出力端子は上記の整合抵抗5の他端に接続される反転型バッファ回路である。上記の整合抵抗7と反転型バッファ回路8とをもって波形整形回路を構成する。この波形整形回路は第2実施例における終端回路と同一構成である。10は信号伝送線路11を駆動する出力バッファ回路である。

【0041】本実施例に係る波形整形回路の動作は、第2実施例における終端回路の動作と同一なので、説明を省略する。

【0042】本実施例に係る波形整形回路によって信号伝送線路途中で乱れた信号はその波形を整形され再生される。その結果、波形の乱れによる回路の誤動作を防

止することができる。

【0043】

【発明の効果】以上説明したとおり、本発明に係る終端回路は整合終端抵抗と非反転バッファ回路または反転型バッファ回路とをもって構成されるので、1本の終端抵抗をもって従来技術に係る終端回路の2本の抵抗に対応することができ、しかも、消費電力は従来技術より著しく小さい。また、本発明に係る波形整形回路は、信号伝送線路の途中に設けられ、本発明に係る終端回路と同一の構成であるので、伝送線路途中における反射等による波形の乱れを防止することができる。

【0044】したがって、本発明は、CMOS回路のような高速デジタル回路の信号を伝送する伝送線路の終端に設けられ、部品点数を増やさずに信号の立ち上がり立ち下がり特性の均一性を保持することができ、しかも、消費電力を低減することができる終端回路と、上記の信号伝送線路の途中に設けられ、伝送線路の途中で乱れた波形を整形して波形の乱れに起因する回路の誤動作を防止することができる波形整形回路とを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係る終端回路の構成図である。

【図2】本発明の第1実施例に係る終端回路の動作説明図である。

【図3】終端回路の有無による信号波形比較図である。

【図4】本発明の第2実施例に係る終端回路の構成図で

ある。

【図5】本発明の第2実施例に係る終端回路の動作説明図である。

【図6】本発明の第3実施例に係る波形整形回路の構成図である。

【図7】本発明の第4実施例に係る波形整形回路の構成図である。

【図8】従来技術に係る終端回路の第1例の構成図である。

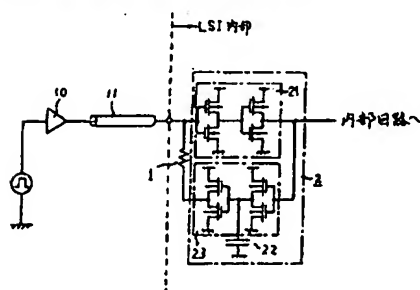
10 【図9】従来技術に係る終端回路の第2例の構成図である。

【符号の説明】

- 1・3 整合終端抵抗
- 5・7 整合抵抗
- 2・6 非反転型バッファ回路
- 4・8 反転型バッファ回路
- 10 出力バッファ回路
- 11 信号伝送線路
- 12・13・14 抵抗
- 20 15 スタブ
- 21 入力回路
- 22 キャパシタ
- 23 出力回路
- ① 出力バッファ回路10に入力される信号波形
- ② 終端回路がないときの終端における信号波形
- ③ 終端回路があるときの終端における信号波形

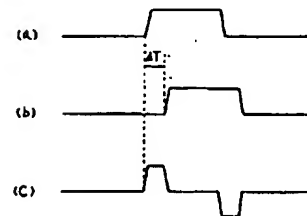
【図1】

本発明の第1実施例に係る終端回路の構成図



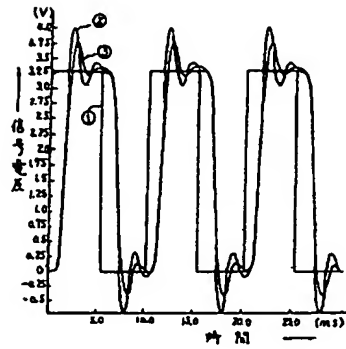
【図2】

本発明の第1実施例に係る終端回路の動作説明図



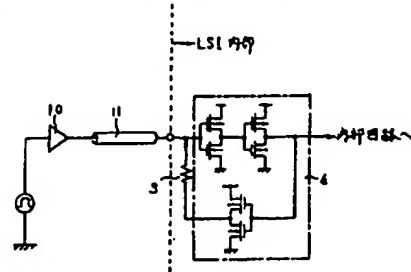
【図3】

終端回路の有無による信号波形比較図



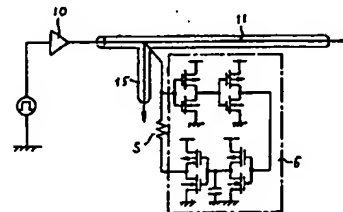
【図4】

本発明の第2実施例に係る終端回路の構成図



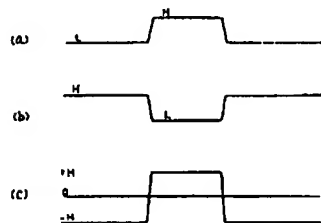
【図6】

本発明の第3実施例に係る波形整形回路の構成図



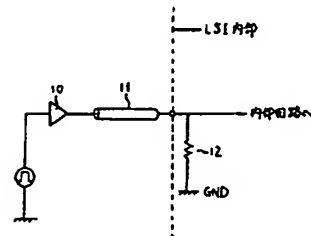
【図5】

本発明の第2実施例に係る終端回路の動作説明図



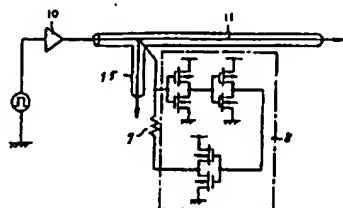
【図8】

従来技術に係る終端回路の第1例の構成図



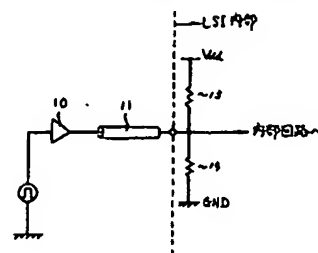
【図7】

本発明の第4実施例に係る波形整形回路の構成図



【図9】

従来技術に係る終端回路の第2例の構成図



フロントページの続き

(51) Int. Cl.⁴
H04L 25/02識別記号 庁内整理番号
Z 8226-5K

F I

技術表示箇所